

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

APPLICANT: IN SUN YOO, ET AL.)
FOR: SRAM-COMPATIBLE MEMORY DEVICE)
EMPLOYING DRAM CELLS)

CLAIM FOR PRIORITY

Mail Stop Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Commissioner:

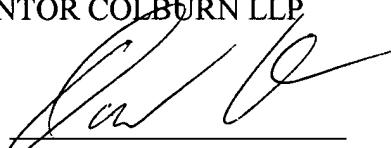
Enclosed herewith is a certified copy of Korean Patent Application No. 2002-0050917 filed on August 27, 2002. The enclosed Application is directed to the invention disclosed and claimed in the above-identified application.

Applicant hereby claims the benefit of the filing date of August 27, 2002, of the Korean Patent Application No. 2002-0050917, under provisions of 35 U.S.C. 119 and the International Convention for the protection of Industrial Property.

Respectfully submitted,

CANTOR COLBURN LLP

By:



David A. Fox

Reg. No. 38,807

Cantor Colburn LLP

55 Griffin Road South

Bloomfield, CT 06002

Telephone: (860) 286-2929

PTO Customer No. 23413

Date: August 12, 2003

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

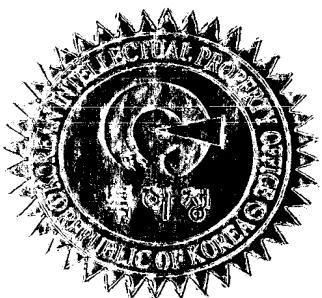
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0050917
Application Number

출원년월일 : 2002년 08월 27일
Date of Application AUG 27, 2002

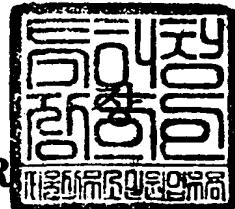
출원인 : (주)실리콘세븐
Applicant(s) SILICON7 INC.



2003년 07월 22일

특허청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2002.08.27
【국제특허분류】	G11C
【발명의 명칭】	디램 셀을 사용하여, 칩 디스에이블 구간 중에 발생하는 신호에 의하여 리프레쉬가 수행되도록 제어되는 동기식 에스램 호환 메모리
【발명의 영문명칭】	SRAM compatible and Synchronous Memory Device being controlled by a signal, the signal activating in Chip disable period
【출원인】	
【명칭】	(주)실리콘세븐
【출원인코드】	1-2000-048635-1
【대리인】	
【성명】	곽덕영
【대리인코드】	9-1998-000630-5
【포괄위임등록번호】	2000-060422-7
【발명자】	
【성명의 국문표기】	유인선
【성명의 영문표기】	YOO, In Sun
【주민등록번호】	710121-1406418
【우편번호】	467-854
【주소】	경기도 이천시 대월면 사동리 현대전자 사원 아파트 109동 905호
【국적】	KR
【발명자】	
【성명의 국문표기】	이선흥
【성명의 영문표기】	LEE, Sun Hyoung
【주민등록번호】	691024-1051812
【우편번호】	151-784
【주소】	서울특별시 관악구 신림8동 강남아파트 8동 814호
【국적】	KR

【발명자】

【성명의 국문표기】	신동우
【성명의 영문표기】	SHIN,Dong Woo
【주민등록번호】	641013-1474215
【우편번호】	467-866
【주소】	경기도 이천시 부발읍 아미리 753 현대아파트 707동 1702호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인 곽덕영 (인)

【수수료】

【기본출원료】	20 면	29,000 원
【가산출원료】	3 면	3,000 원
【우선권주장료】	0 건	0 원
【심사청구료】	5 항	269,000 원
【합계】	301,000 원	
【감면사유】	소기업 (70%감면)	
【감면후 수수료】	90,300 원	
【첨부서류】	1. 요약서·명세서(도면)_1통 2. 소기업임을 증명하는 서류[사업자등록증사본, 원천징수이행상황신 고서사본]_1통	

【요약서】**【요약】**

디램 셀을 사용하여, 칩 디스에이블 구간 중에 발생하는 신호에 의하여 리프레쉬가 수행되도록 제어되는 동기식 에스램 호환 메모리가 제시된다. 본 발명의 동기식 에스램 호환 메모리는 기준 클락신호의 주기에 대하여, n배의 주기를 가지는 리프레쉬 클락신호에 의하여 리프레쉬 동작이 제어된다. 따라서, 본 발명의 동기식 에스램 호환 메모리는 칩 인에이블 신호(/CS)의 비활성화 상태에서 리프레쉬를 위한 동작이 진행된다. 그리고, 칩 인에이블 신호(/CS)가 "로우"로 활성화된 상태에서 발생되는 기입/독출 명령에 의하여, 본 발명의 동기식 에스램 호환 메모리는 기입/독출을 위한 억세스 동작의 수행이 진행된다. 그러므로, 본 발명의 동기식 에스램 호환 메모리의 기입/독출을 위한 억세스 동작에서는, 리프레쉬 동작의 수행으로 인한 지체가 없다.

【대표도】

도 3

【명세서】**【발명의 명칭】**

디램 셀을 사용하며, 칩 디스에이블 구간 중에 발생하는 신호에 의하여 리프레쉬가 수행되도록 제어되는 동기식 에스램 호환 메모리{SRAM compatible and Synchronous Memory Device being controlled by a signal, the signal activating in Chip disable period}

【도면의 간단한 설명】

본 발명의 상세한 설명에서 사용되는 도면을 보다 충분히 이해하기 위하여, 각 도면의 간단한 설명이 제공된다.

도 1은 본 발명의 일실시예에 따른 동기식 에스램 호환 메모리를 개념적으로 설명하기 위한 블록도이다.

도 2는 도 1의 디램 메모리 어레이에 포함되는 메모리 셀을 나타내는 도면이다.

도 3은 도 1의 클락주기 변조부와 리프레쉬 제어부에 포함되는 구성요소의 일부를 나타내는 도면이다.

도 4와 도 5는 본 발명의 동기식 에스램 호환 메모리의 동작을 설명하기 위한 타이밍도이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<6> 본 발명은 반도체 메모리 장치에 관한 것으로서, 특히 디램(DRAM: Dynamic Random Access Memory) 셀(cell)을 가지면서, 에스램(SRAM: Static Random Access Memory)과 호환 가능하며, 외부클럭신호에 동기되는 동기식 에스램 호환 메모리에 관한 것이다.

<7> 일반적으로, 반도체 메모리 장치 중의 램(RAM: Random Access Memory)은 에스램과 디램으로 분류된다. 통상적인 램은 행과 열로 구성되는 매트릭스 상에 배열되는 다수개의 단위 메모리 셀들을 가지는 메모리 어레이와, 상기 단위 메모리 셀들로/로부터 데이터를 입/출력하도록 제어하는 주변 회로로 구성된다. 에스램에 사용되는 1비트의 정보를 저장하기 위한 단위 메모리 셀은 래치(latch) 구조를 이루는 4개의 트랜지스터와, 전송 게이트로 작용하는 2개의 트랜지스터로 구현된다. 즉, 통상적인 에스램은 래치 구조의 단위 메모리 셀에 데이터를 저장하고 있으므로, 데이터를 보존하기 위한 리프레쉬 동작이 요구되지 않는다. 또한, 에스램은, 디램에 비하여, 동작 속도가 빠르고, 소비 전력이 작다는 장점을 지닌다.

<8> 그러나, 에스램의 단위 메모리 셀은 6개의 트랜지스터로 구현되어 있으므로, 에스램은 1개의 트랜지스터와 1개의 커패시터로 단위 메모리 셀이 구현되는 디램에 비하여, 소요되는 웨이퍼 면적면에서, 단점을 지닌다. 즉, 동일한 용량의 기억 소자를 제조하기 위하여, 에스램의 웨이퍼 면적은 디램의 웨이퍼 면적의 6배 내지 10배 정도이다. 이와 같은, 에스램의 소요 면적은 에스램의 단가를 상승시킨다. 만약, 비용 절감 등을

위하여, 에스램을 대신하여 통상적인 디램이 사용되는 경우, 주기적인 리프레쉬 때문에 추가적으로 디램 컨트롤러가 장착되어야 한다. 또한, 디램의 주기적인 리프레쉬 동작을 위한 소요 시간과 느린 동작 속도 때문에 시스템 자체의 전반적인 성능이 하락된다.

<9> 상기와 같은 디램과 에스램의 단점을 극복하고자, 디램 셀을 이용한 에스램을 구현하려는 노력이 계속되고 있다. 이러한 노력 중에서의 하나가 리프레쉬 동작을 외부에서 는 감추어서, 에스램과 호환되도록 만드는 기술이다.

<10> 상기와 같은 에스램 호환 기술에서는, 메모리 어레이의 디램 셀을 리프레쉬하기 시간을 확보하기 위하여, 내부적으로 억세스 구간 내에 별도의 리프레쉬 구간을 확보하든지, 억세스 타이밍을 지연시키든지 하는 방법들이 이용되고 있다.

<11> 그러나, 이와 같은 종래의 동기식 에스램 호환 메모리에서는, 내부적으로 기입/독출을 위한 억세스 타이밍이 지연되고, 이로 인하여, 전체적으로 동작 속도가 저하되는 문제점이 발생한다.

【발명이 이루고자 하는 기술적 과제】

<12> 본 발명의 목적은 상기 종래기술의 문제점을 해결하기 위한 것으로서, 디램 셀을 이용하면서도 에스램 호환이 가능하며, 외부클락신호에 동기되는 에스램 호환 메모리로서, 리프레쉬 동작으로 인한 동작 속도의 저하가 최소화되는 에스램 호환 메모리를 제공하는 것이다.

【발명의 구성 및 작용】

<13> 상기와 같은 기술적 과제를 해결하기 위한 본 발명의 일면은 동기식 에스램 호환 메모리에 관한 것이다. 본 발명의 동기식 에스램 호환 메모리는 행과 열로 정의되는 매트릭스 상에 배열되는 복수개의 디램 셀들을 포함하는 디램 메모리 어레이를 가지며, 기준 클락신호에 동기되어 구동되는 에스램 호환 메모리로서, 상기 디램 셀들 각각은 저장된 데이터를 유효하게 보존하기 위하여 소정의 리프레쉬 주기 이내에 리프레쉬의 수행이 요구되며, 상기 디램 메모리 어레이의 행을 선택하는 로우 어드레스와 열을 선택하는 칼럼 어드레스를 동시에 제공하는 외부 시스템과 인터페이싱될 수 있는 상기 에스램 호환 메모리이다. 본 발명의 동기식 에스램 호환 메모리는 상기 디램 메모리 어레이; 외부로부터 상기 디램 메모리 어레이로의 데이터 입출력을 조절하는 데이터 입출력부; 상기 에스램 호환 메모리를 외부에서 선택적으로 억세스할 수 있도록 제어하기 위하여 활성화되는 칩 인에이블 신호에 의하여 제어되는 상태제어부로서, 상기 디램 메모리 어레이에 대한 억세스 동작을 제어하고, 상기 데이터 입출력부를 제어하는 상기 상태제어부; 일정한 주기마다 활성화되는 리프레쉬 요구신호를 발생하는 리프레쉬 타이머; 미실행된 상기 리프레쉬 요구신호의 활성에 대하여 소정의 프리 제어신호를 제공하는 클락주기 변조부로서, 상기 프리 제어신호는 상기 칩 인에이블 신호의 비활성된 상태에 발생하는 매 n번 째의 상기 기준 클락신호의 발생에 응답하여, 논리상태를 천이하는 상기 클락주기 변조부; 및 상기 디램 메모리 어레이에 대한 리프레쉬 동작을 수행시키도록 제어하기 위하여 활성화되는 리프레쉬 제어신호를 발생하는 리프레쉬 제어부로서, 상기 리프레쉬 제어신호는 상기 프리 제어신호의 천이에 응답하여 활성화되는 상기 리프레쉬 제어부를 구비한다.

<14> 바람직하기로는, 상기 리프레쉬 제어신호는 소정의 리프레쉬 클락신호에 응답하여 활성화되며, 상기 리프레쉬 클락신호의 주기는 상기 기준 클락신호의 주기의 n 배(여기서, n 은 자연수)이다.

<15> 더욱 바람직하기로는, 상기 리프레쉬 클락신호의 주기는 상기 칩 인에이블 신호의 비활성화 구간의 $1/m$ (여기서, m 은 자연수)이다.

<16> 본 발명과 본 발명의 동작 상의 잇점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.

<17> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 대하여, 동일한 참조부호는 동일한 부재임을 나타낸다.

<18> 본 발명의 동기식 에스램 호환 메모리는 내부적으로 디램 셀을 채용하고 리프레쉬 동작이 수행되지만, 외부적으로는 통상의 동기식 에스램과 마찬가지로 리프레쉬를 위한 동작구간이 할당되지 않는다. 또한, 본 발명의 동기식 에스램 호환 메모리는 리프레쉬 동작을 제어하기 위한 별도의 제어신호가 외부에서 요구되지 않으며, 외부적으로는 통상적인 동기식 에스램과 동일한 규칙에 의하여 구동될 수 있다.

<19> 한편, 본 발명의 동기식 에스램 호환 메모리는 리프레쉬(REFRESH) 동작을 수행한다. 상기 리프레쉬 동작은 특정의 워드라인을 활성화시키고, 상기 워드라인에 접속되는 모든 디램 셀의 데이터를 상기 디램 셀로부터 출력한 후, 다시 증폭시켜 다시 기입하는 동작을 말한다.

<20> 본 발명의 동기식 에스램 호환 메모리는, 버스트(Burst) 억세스(ACCESS) 동작을 수행한다. 상기 버스트 억세스 동작은 하나의 워드라인(WL)이 활성화 상태를 유지하는 동안에, 외부로부터 별도의 어드레스의 입력이 없더라도, 2 이상의 상이한 열이 연속적으로 선택되어, 연속적으로 데이터가 독출 또는 기입되는 동작을 말한다. 즉, 버스트 억세스 동작은 2번째 이후의 억세스에 대해서는 다시 워드라인을 활성화시킬 필요가 없다.

<21> 도 1은 본 발명의 일실시예에 따른 동기식 에스램 호환 메모리를 개념적으로 설명하기 위한 블록도이다. 본 발명의 동기식 에스램 호환 메모리는 디램 메모리 어레이(10), 어드레스 입력부(15), 상태제어부(20), 리프레쉬 제어부(25), 버스트 어드레스 발생부(30), 리프레쉬 타이머(55) 및 데이터 입출력부(75)를 포함한다. 상기 디램 메모리 어레이(10)는 행과 열로 정의되는 매트릭스 상에 배열되는 복수개의 메모리 셀(11)들을 포함한다. 상기 메모리 셀(11)은 저장된 데이터를 보존하기 위하여, 소정의 리프레쉬 주기 이내에 리프레쉬의 수행이 요구되는 셀이다. 상기 메모리 셀(11)의 대표적인 예는 '디램 셀'이다. 그러므로, 본 명세서에서는, 설명의 편의를 위하여, 상기 메모리 셀(11)은 '디램 셀'로 불리울 수 있다. 상기 디램 셀은, 도 2에 도시된 바와 같이, 워드라인(WL)에 의하여 게이팅되는 전송트랜지스터(11a)와, 전송트랜지스터(11a)를 통하여 전송되는 비트라인(BL)의 데이터를 저장하는 커패시터(11b)로 구현된다.

<22> 상기 어드레스 입력부(15)는 칩 인에이블 신호(/CS)와 소정의 유효 어드레스 신호(/ADV)가 "로우"로 활성화된 구간에서 외부클럭신호(CLK)에 동기하여, 외부 어드레스(ADDR)를 유효하게 입력한다. 즉, 상기 유효 어드레스 신호(/ADV)가 "하이"인 구간에서 는, 상기 외부 어드레스(ADDR)가 유효하게 입력되지 않는다. 그리고, 상기 칩 인에이블 신호(/CS)는 본 발명의 동기식 에스램 호환 메모리를 인에이블시키는 신호로서, 일반적

으로 외부로부터 제공된다. 한편, 본 발명의 동기식 반도체 메모리 장치는 통상적인 에스램과 마찬가지로 로우 어드레스(RADD)와 칼럼 어드레스(CADD)를 동시에 수신한다. 그리고, 본 명세서에서, 로우 어드레스(RADD)와 칼럼 어드레스(CADD)는 '외부 어드레스(ADDR)'로 통칭될 수 있다.

<23> 상기 상태제어부(20)는 본 발명의 동기식 에스램 호환 메모리의 억세스 동작을 전체적으로 제어한다. 즉, 칩 인에이블 신호(/CS)와 유효 어드레스 신호(/ADV)를 입력하며, 리프레쉬 제어부(25)와 상호 통신을 하면서, 동기식 에스램 호환 메모리의 동작 상태를 제어한다. 상기 칩 인에이블 신호(/CS)는 본 발명의 에스램 호환 메모리를 인에이블 시키는 신호이다. 상기 칩 인에이블 신호(/CS)가 "로우"의 활성화 상태일 때, 외부에서 상기 에스램 호환 메모리에 대하여 선택적으로 억세스할 수 있다. 또한, 상기 상태제어부(20)는 상기 데이터 입출력부(75)를 제어한다.

<24> 그리고, 상기 상태제어부(20)는 상기 버스트 어드레스 발생부(30)를 인에이블시키는 버스트 어드레스 인에이블 신호(BCE)도 제공한다. 상기 버스트 어드레스 인에이블 신호(BCE)는 본 발명의 동기식 에스램 호환 메모리가 버스트 억세스 동작에 진입할 때, "하이"로 활성화한다.

<25> 버스트 어드레스 발생부(30)는 상기 버스트 어드레스 인에이블 신호(BCE)가 활성화에 응답하여 인에이블되어서, 외부에서 입력되는 칼럼 어드레스(CADD)에 대하여 순차적으로 증가하는 버스트 어드레스(BADD)를 발생한다. 상기 버스트 어드레스(BADD)의 증가는 외부클럭신호(CLK)에 동기하여 실현된다.

<26> 칼럼 어드레스 래치(45)는 소정의 칼럼 제어 신호(CLA)에 응답하여, 상기 어드레스 입력부(15)로부터 제공되는 칼럼 어드레스(CADD)와 상기 버스트 어드레스(BADD) 중의 어느 하나를 선택적으로 래치한다. 상기 칼럼 어드레스 래치(45)에 의하여 래치된 칼럼 어드레스(CADD) 또는 버스트 어드레스(BADD)는 칼럼 디코더(50)로 제공된다.

<27> 칼럼 제어신호 발생부(35)는 상태제어부(20)와 상호통신하며, 본 발명의 동기식 애스램 호환 메모리가 버스트 억세스 동작에 진입할 때, 활성화되는 상기 칼럼 제어 신호(CLA)를 발생한다.

<28> 상기 칼럼 디코더(50)은 제공되는 상기 칼럼 어드레스(CADD) 또는 버스트 어드레스(BADD)를 디코딩하여, 상기 메모리 어레이(10)의 열을 선택한다.

<29> 상기 리프레쉬 타이머(55)는 일정한 리프레쉬 주기마다 활성화하는 리프레쉬 요구 신호(RFHREQ)를 상기 리프레쉬 제어부(25)로 제공한다.

<30> 클락주기 변조부(21)는 미실행된 리프레쉬 요구신호(REFREQ)가 있는 경우, 매 n번 째 상기 기준 클락신호(CLK)마다 논리 상태가 천이되는 프리 제어신호(PRF)를 발생한다. 본 명세서에서, '미실행된 리프레쉬 요구신호(REFREQ)'란 리프레쉬 타이머(55)의 제어에 의하여 활성은 되었지만, 상기 활성에 대응하는 리프레쉬 동작이 아직 실행되지 아니한 리프레쉬 요구신호(REFREQ)를 가리킨다.

<31> 리프레쉬 제어부(25)는 상기 프리 제어신호(PRF)의 논리 상태의 천이에 응답하여, 궁극적으로 상기 디램 메모리 어레이(10)에 대한 리프레쉬 동작이 수행되도록 제어하는 리프레쉬 제어신호(RFH)를 발생한다.

<32> 도 3은 상기 클락주기 변조부(21)와 상기 리프레쉬 제어부(25)의 구성요소의 일부를 나타내는 도면이다. 도 3을 참조하면, 상기 클락주기 변조부(21)는 클락주기 변조수단(301) 및 플립플롭(303)를 그리고, 상기 리프레쉬 제어부(25)는 제어신호 발생수단(305)를 포함한다. 상기 클락주기 변조수단(301)은 상기 칩 인에이블 신호(/CS)가 "하이"로 비활성화할 때 인에이블되어서, 입력되는 상기 기준 클락신호(CLK)의 주기를 n배로 변조시켜서, 리프레쉬 클락신호(RFCK)로 발생한다. 바람직하기로는, 상기 n은 2 이상의 자연수로서, 상기 리프레쉬 클락신호(RFCK)의 주기가 상기 칩 인에이블 신호(/CS)의 비활성화폭에 대하여, $1/m$ (여기서, m은 자연수)이 되도록 규정된다.

<33> 상기 플립플롭(303)은 상기 리프레쉬 요구신호(REFREQ)를 신호 입력으로 하고, 상기 리프레쉬 클락신호(RFCK)를 클락 입력으로 하여, 프리 제어신호(PRF)를 발생한다. 그러므로, 이전의 프레임의 리프레쉬 클락신호(RFCK)의 상승단부로부터, 새로운 프레임의 리프레쉬 클락신호(RFCK)의 상승단부 사이에, 리프레쉬 요구신호(REFREQ)가 활성화된 경우에, 상기 프리 제어신호(PRF)의 논리상태는 천이하게 된다. 바람직하기로는, 상기 플립플롭(303)은 D플립플롭이다.

<34> 그리고, 상기 제어신호 발생수단(305)은 상기 프리 제어신호(PRF)의 논리 천이에 응답하여, 리프레쉬 수행에 필요한 소정의 시간으로 활성화되는 상기 리프레쉬 제어신호(PRF)를 발생한다.

<35> 결국, 상기 프리 제어신호(PRF)는, 상기 칩 인에이블 신호(/CS)가 "하이"로 비활성화된 상태에서 발생되는 외부클락신호(CLK)에 응답하여 활성화되어, 리프레쉬 동작을 수행하도록 제어한다. 따라서, 본 발명의 동기식 에스램 호환 메모리는 상기 칩 인에이블 신호(/CS)의 비활성화 상태에서 리프레쉬를 위한 동작이 진행된다. 그리고, 상기 칩 인

에이블 신호(/CS)가 "로우"로 활성화된 상태에서 발생되는 기입/독출 명령에 의하여, 본 발명의 동기식 에스램 호환 메모리는 기입/독출을 위한 억세스 동작의 수행이 진행된다. 즉, 본 발명의 동기식 에스램 호환 메모리의 기입/독출을 위한 억세스 동작에서는, 리프레쉬 동작의 수행으로 인한 지체가 거의 없다.

<36> 다시 도 1을 참조하면, 상기 리프레쉬 제어 신호(RFH)는 리프레쉬 어드레스 발생부(30)도 제어한다. 리프레쉬 어드레스 발생부(30)는 상기 리프레쉬 제어신호(RFH)에 응답하여, 상기 디램 메모리 어레이(10)의 행을 특정하는 리프레쉬 어드레스(FADD)를 발생한다.

<37> 로우 제어신호 발생부(40)는 상태제어부(20) 및 리프레쉬 제어부(25)와 상호통신을 수행한다. 상기 로우 제어신호 발생부(40)는 상기 상태제어부(20)로부터 제공되는 로우 활성화 신호(ACT) 및 리프레쉬 제어부(25)에서 제공되는 리프레쉬 구동신호(RFH)에 의하여 제어되는 로우 제어신호(CRA)를 발생한다. 상기 로우 활성화 신호(ACT)는 상기 디램 메모리 어레이(10)에서 대한 기입/독출되는 디램 셀(11)을 특정하기 위하여, 로우(ROW) 계열의 신호들을 발생시키기 위한 회로들을 인에이블시키는 제어신호이다. 즉, 상기 로우 활성화 제어신호(ACT)가 '하이'인 상태에서는, 본 발명의 동기식 에스램 호환 메모리가 독출 또는 기입 억세스 동작이 가능되며, 이때, 상기 로우 제어신호(CRA)가 '하이'로 된다. 한편, 상기 리프레쉬 구동신호(RFH)가 '하이'인 상태에서는, 본 발명의 동기식 에스램 호환 메모리가 리프레쉬 동작을 수행하도록 하기 위하여, 상기 로우 제어신호(CRA)는 '로우'로 된다.

<38> 로우 어드레스 래치(65)는 소정의 로우 제어 신호(CRA)에 응답하여, 어드레스 입력부(15)로부터 제공되는 로우 어드레스(RADD)와 리프레쉬 어드레스(FADD) 중의 어느 하나

를 선택적으로 래치하여, 로우 디코더(70)로 제공된다. 예를 들면, 상기 로우 제어신호(CRA)가 "하이"일 때는, 로우 어드레스 래치(65)는 어드레스 입력부(15)로부터 제공되는 로우 어드레스(RADD)를 래치하여, 로우 디코더(70)로 제공된다. 그리고, 상기 로우 제어신호(CRA)가 "로우"일 때는, 로우 어드레스 래치(65)는 리프레쉬 어드레스(FADD)가 래치되어, 로우 디코더(70)로 제공된다.

<39> 로우 디코더(70)은 제공되는 상기 로우 어드레스(RADD) 또는 리프레쉬 어드레스(FADD)를 디코딩하여, 상기 메모리 어레이(10)의 행을 특정한다.

<40> 상기 데이터 입출력부(75)는 상기 외부클락신호(CLK)에 동기하여 입력 데이터(DIN)와 출력 데이터(DOUT)를 입출력한다.

<41> 도 4는 본 발명의 동기식 에스램 호환 메모리의 동작을 설명하기 위한 타이밍도로서, 상기 칩 인에이블 신호(/CS)의 비활성화 구간에서 1번의 리프레쉬 클락신호(RFCK)가 발생하는 경우를 나타내는 도면이다. 시점 t1에서, 상기 리프레쉬 클락신호(RFCK)는 칩 인에이블 신호(/CS)가 "하이"로 비활성화된 상태에서 발생하는 외부클락신호(CLK5)의 하강단부에 응답하여, 논리상태가 '하이'로 천이한다. 도 4의 타이밍도에서는 시점 t1 이전에 미실행된 리프레쉬 요구신호(REFREQ)가 발생되었다고 가정된다.

<42> 그리고, 상기 리프레쉬 클락신호(RFCK)는 공전상태의 외부클락신호(IDCLK0)의 하강단부에 응답하여, 논리상태가 '로우'로 다시 천이한다. 여기서, '공전상태의 외부클락신호(IDCLK0)'는, 칩 인에이블 신호(/CS)가 '하이'로 비활성화된 상태에서 발생하는 첫번째 외부클락신호(CLK)를 가리킨다. 따라서, 상기 리프레쉬 클락신호(RFCK)의 주기는 상기 외부클락신호(CLK)의 주기의 2배가 된다. 그러나, 상기 리프레쉬 클락신호(RFCK)의 주기는, 외부클락신호(CLK)의 주기와 상기 칩 인에이블 신호(/CS)의 비활성화폭에 대응하여,

상기 외부클락신호(CLK)의 주기의 n배로 설계될 수 있다. 여기서, n는 자연수이다. 그리고, 상기 리프레쉬 클락신호(RFCK)의 주기가 상기 리프레쉬 구동신호(RFH)의 활성화폭보다 크게 되도록, 상기 n이 설정된다.

<43> 바람직한 실시예에 따르면, 상기 리프레쉬 클락신호(RFCK)의 주기는, 상기 칩 인에 이를 신호(/CS)의 비활성화폭의 $1/m$ 이다. 그러므로, 상기 리프레쉬 클락신호(RFCK)의 하강단부는 상기 칩 인에 이를 신호(/CS)가 '하이'로 비활성화된 상태에서 발생한다.

<44> 그리고, 상기 리프레쉬 구동신호(RFH)는 상기 리프레쉬 클락신호(RFCK)의 상승단부에 응답하여, '하이'로 활성화하고(t3 참조), 소정의 시간후에 다시 '로우'로 비활성화 한다(t4 참조). 한편, 상기 로우 활성화 제어신호(ACT)는, 상기 칩 인에 이를 신호(/CS)의 '하이'와 '로우'로의 천이에 각각 응답하여, '로우'와 '하이'로 천이된다(t5, t6 참조). 이때, 상기 리프레쉬 구동신호(RFH)의 활성은 상기 로우 활성화 제어신호(ACT)의 비활성화 범위에 포함된다.

<45> 즉, 상기 리프레쉬 구동신호(RFH)의 활성화는 상기 로우 활성화 제어신호(ACT)의 비활성화 영역 내에서만, 수행되게 된다. 그러므로, 본 발명의 동기식 에스램 호환 메모리에서 기입/독출 억세스 동작은, 리프레쉬 동작의 수행에 따른 지연없이, 수행될 수 있다.

<46> 그리고, 유효 어드레스 신호(/ADV)가 활성화되는 시점(t7, t7' 참조)에서, 외부 어드레스(ADDR)가 입력되며, 이후에 발생하는 외부클락신호(CLK1, CLK2, CLK3, CLK4)에 동기되어 버스트 어드레스(BADD)가 발생하며, 상기 버스트 어드레스(BADD)에 의하여 특정 되는 디램 셀의 데이터가 출력된다.

<47> 도 5는 본 발명의 동기식 에스램 호환 메모리의 동작을 설명하기 위한 타이밍도로서, 상기 칩 인에이블 신호(/CS)의 비활성화 구간에서 2번 이상의 리프레쉬 클락신호(RFCK)가 발생하는 경우를 나타내는 도면이다. 도 5에서는 1번째 리프레쉬 클락신호(RFCK)의 발생(k1)과 2번 리프레쉬 클락신호(RFCK)의 발생(k2) 사이에 미실행된 리프레쉬 요구신호(REFREQ)가 발생하였다고 가정한다. 이 경우에서, 2번째 리프레쉬 클락신호(RFCK)에 응답하여 리프레쉬 구동신호(RFH)가 발생하며, 디램 셀에 대한 리프레쉬의 동작이 수행된다. 그리고, 리프레쉬 동작의 수행 과정은 도 4의 예와 동일하므로, 그에 대한 자세한 기술은 본 명세서에서 생략된다. 도 5로부터, 2번째 리프레쉬 클락신호(RFCK)에 응답하여 리프레쉬의 동작이 수행되는 경우에도, 칩 인에이블 신호(/CS)의 활성화된 후로부터 진행되는 기입/독출을 위한 억세스 동작에는, 지연이 발생하지 않게 됨을 알 수 있다.

<48> 본 발명은 도면에 도시된 일 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

【발명의 효과】

<49> 상기와 같은 본 발명의 동기식 에스램 호환 메모리에 의하면, 칩이 디스에이블된 구간에서 발생되는 제어신호에 응답하여, 리프레쉬 동작이 수행된다. 그러므로, 본 발명의 동기식 에스램 호환 메모리는, 디램 셀에 대한 리프레쉬 동작의 수행으로 인한 시간

지연이 발생하지 않는 기입/독출 억세스 동작을 수행할 수 있으며, 전체적으로 현저히
개선된 동작 속도를 가진다.

【특허청구범위】**【청구항 1】**

행과 열로 정의되는 매트릭스 상에 배열되는 복수개의 디램 셀들을 포함하는 디램 메모리 어레이를 가지며, 기준 클락신호에 동기되어 구동되는 에스램 호환 메모리로서, 상기 디램 셀들 각각은 저장된 데이터를 유효하게 보존하기 위하여 소정의 리프레쉬 주기 이내에 리프레쉬의 수행이 요구되며, 상기 디램 메모리 어레이의 행을 선택하는 로우 어드레스와 열을 선택하는 칼럼 어드레스를 동시에 제공하는 외부 시스템과 인터페이싱 될 수 있는 상기 에스램 호환 메모리에 있어서,

상기 디램 메모리 어레이;

외부로부터 상기 디램 메모리 어레이로의 데이터 입출력을 조절하는 데이터 입출력부;

상기 에스램 호환 메모리를 외부에서 선택적으로 억세스할 수 있도록 제어하기 위하여 활성화되는 칩 인에이블 신호에 의하여 제어되는 상태제어부로서, 상기 디램 메모리 어레이에 대한 억세스 동작을 제어하고, 상기 데이터 입출력부를 제어하는 상기 상태제어부;

일정한 주기마다 활성화되는 리프레쉬 요구신호를 발생하는 리프레쉬 타이머;

미실행된 상기 리프레쉬 요구신호의 활성에 대하여 소정의 프리 제어신호를 제공하는 클락주기 변조부로서, 상기 프리 제어신호는 상기 칩 인에이블 신호의 비활성된 상태에 발생하는 매 n 번째의 상기 기준 클락신호의 발생에 응답하여, 논리상태를 천이하는 상기 클락주기 변조부; 및

상기 디램 메모리 어레이에 대한 리프레쉬 동작을 수행시키도록 제어하기 위하여 활성화되는 리프레쉬 제어신호를 발생하는 리프레쉬 제어부로서, 상기 리프레쉬 제어신호는 상기 프리 제어신호의 천이에 응답하여 활성화되는 상기 리프레쉬 제어부를 구비하는 것을 특징으로 하는 동기식 에스램 호환 메모리.

【청구항 2】

제1 항에 있어서, 상기 리프레쉬 제어신호는 소정의 리프레쉬 클락신호에 응답하여 활성화되며, 상기 리프레쉬 클락신호의 주기는 상기 기준 클락신호의 주기의 n 배(여기서, n 은 자연수)인 것을 특징으로 하는 동기식 에스램 호환 메모리.

【청구항 3】

제2 항에 있어서, 상기 리프레쉬 클락신호의 주기는 상기 칩 인에이블 신호의 비활성화 구간의 $1/m$ (여기서, m 은 자연수)인 것을 특징으로 하는 동기식 에스램 호환 메모리.

【청구항 4】

제2 항 또는 제3 항에 있어서, 상기 n 은

2 이상인 자연수인 것을 특징으로 하는 동기식 에스램 호환 메모리.

【청구항 5】

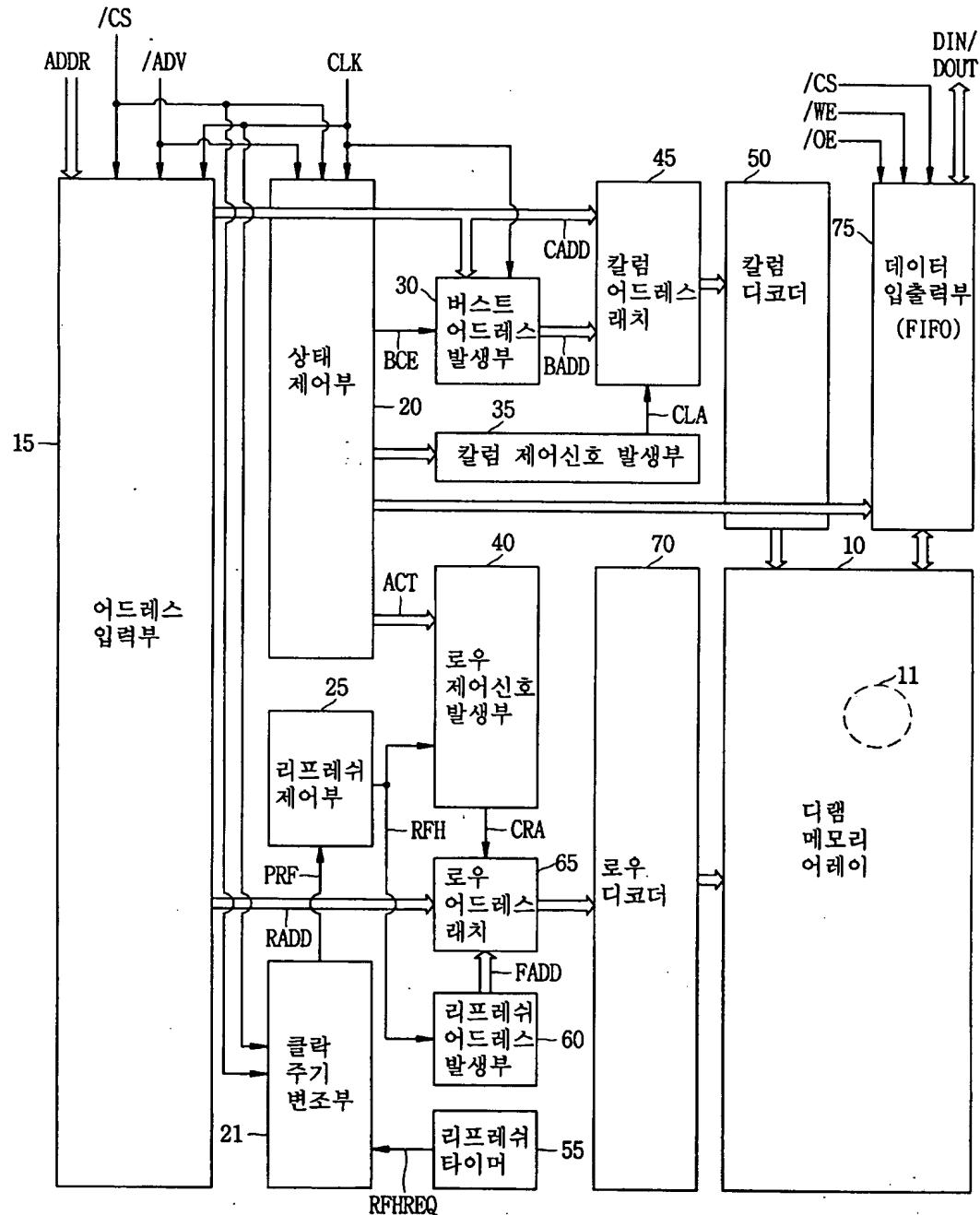
제4 항에 있어서, 상기 클락주기 변조부는

비활성화되는 상기 칩 인에이블 신호에 의하여 인에이블되며, 상기 기준 클락신호에 대하여 상기 n배로 확장되는 상기 리프레쉬 클락신호를 제공하는 클락주기 변조수단; 및

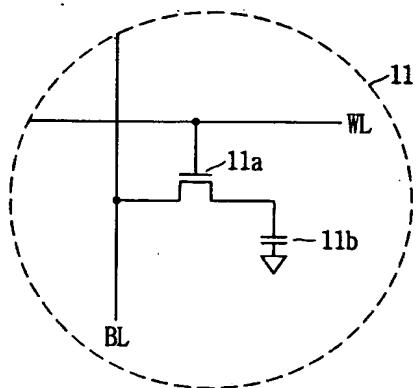
상기 리프레쉬 요구신호를 신호입력으로, 상기 리프레쉬 클락신호를 클락입력으로 하는 플립플립을 구비하는 것을 특징으로 하는 동기식 에스램 호환 메모리.

【도면】

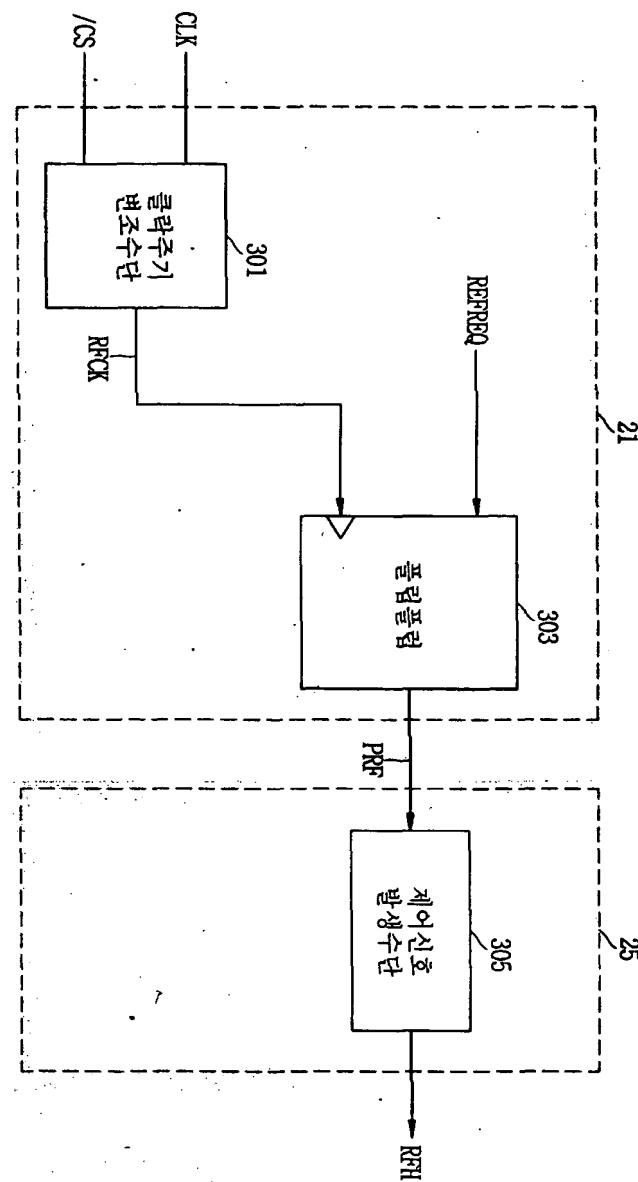
【도 1】



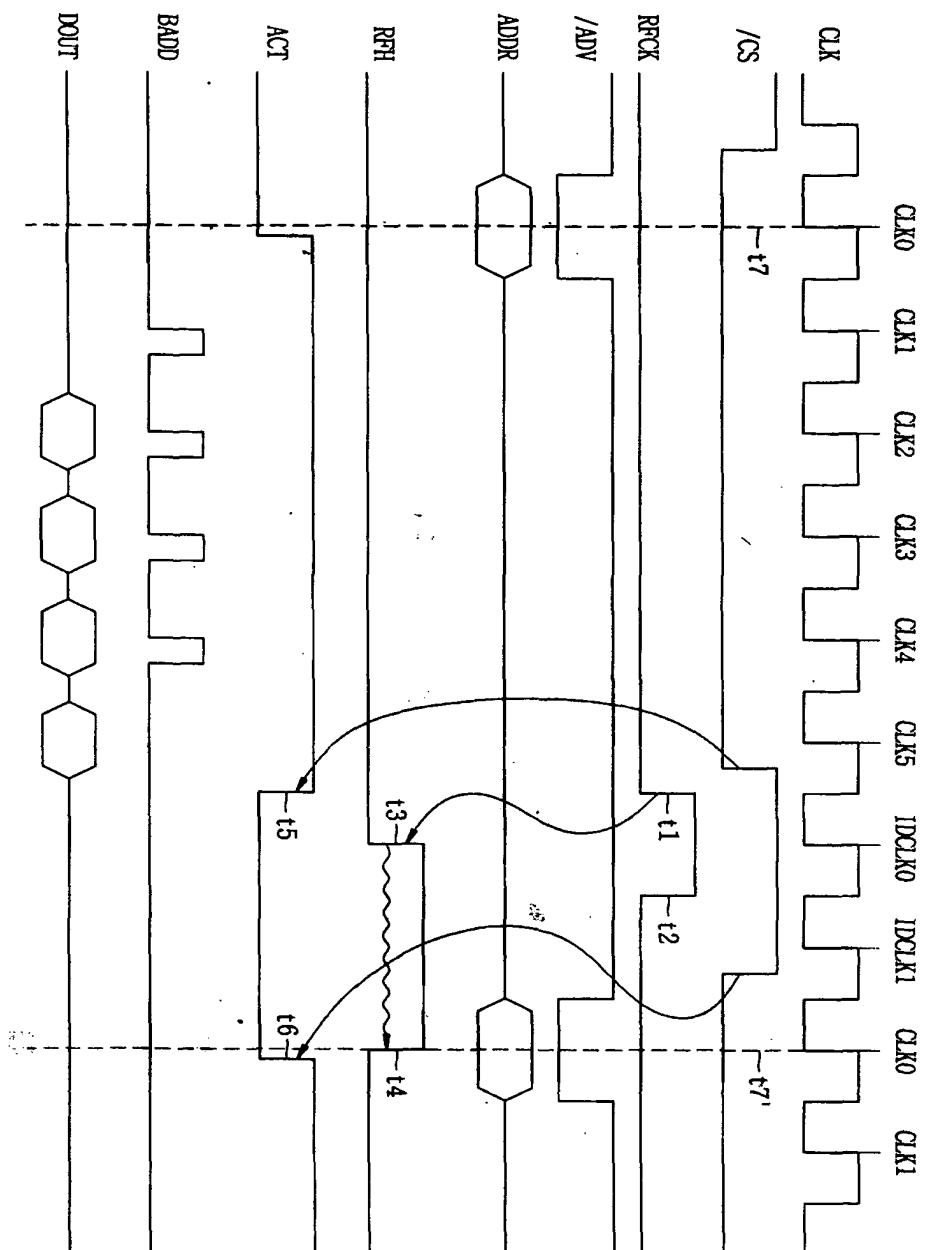
【도 2】



【도 3】



【 4 】



【5】

